

1301

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-160655

(43)Date of publication of application : 23.06.1995

(51)Int.Cl.

G06F 15/163

G06F 12/00

(21)Application number : 05-310212

(71)Applicant : HITACHI LTD

(22)Date of filing : 10.12.1993

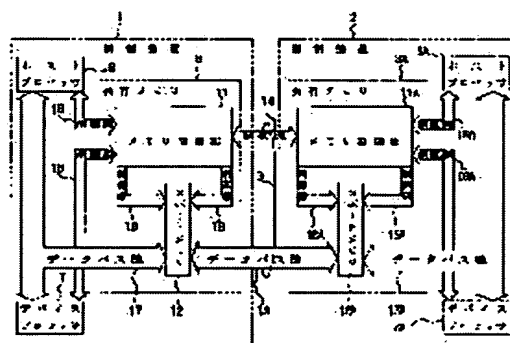
(72)Inventor : TAKANO MASAHIRO

(54) MEMORY ACCESS SYSTEM

(57)Abstract:

PURPOSE: To provide a memory access technique capable of reducing access standby and suppressing the frequency increase of the access standby especially for the enlargement of a shared area while maintaining the identity of data for respective processors as a shared memory.

CONSTITUTION: In an information processor for which symmetrically constituted controllers 1 and 2 provided with the shared memories 8 and 8A provided with 2-port memories 12 and 12A and memory control parts 11 and 11A, host processors 6 and 6A and device processors 7 and 7A mutually access the shared memories 8A and 8 of each other through an inter-memory interface 9 composed of a data bus line 13 and a control line 14 and maintain the identity of the contents of the shared memories 8 and 8A at all times, access requests generated in the respective memory control parts 11 and 11A and the memory addresses are transferred between the memory control parts 11 and 11A and access to the other addresses is processed independently by the respective memory control parts 11 and 11A.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-160655

(43) 公開日 平成7年(1995)6月23日

(51) Int. Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/163 12/00	5 7 1 A	9366-5B 8219-5L	G 0 6 F 15/ 16	3 2 0 M

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願平5-310212

(22) 出願日 平成5年(1993)12月10日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 高野 雅弘

神奈川県小田原市国府津2880番地 株式会

社日立製作所ストレージシステム事業部内

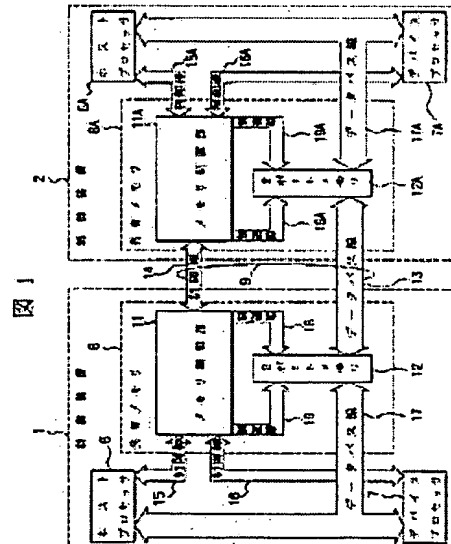
(74) 代理人 弁理士 筒井 大和

(54) 【発明の名称】 メモリアクセス方式

(57) 【要約】 (修正有)

【目的】 共有メモリとして各処理装置に対してデータの同一性を保ったまま、アクセス待ちを減らし、特に、共有領域の拡大に対し、アクセス待ちの頻度増加を抑制することが可能なメモリアクセス技術を提供する。

【構成】 2ポートメモリ12、12A、メモリ制御部11、11Aを含む共有メモリ8、8Aと、ホストプロセッサ6、6A、デバイスプロセッサ7、7Aを備えた対称構成の制御装置1、2が、データバス線13、制御線14からなるメモリ間インターフェイス9を介して相互に他の共有メモリ8A、8にアクセスして、常に共有メモリ8および8Aの内容の同一性を維持する構成の情報処理装置において、メモリ制御部11と11Aの間で、各々で発生したアクセス要求とそのメモリアドレスの受け渡しを行い、それ以外のアドレスに対するアクセスは各メモリ制御部11および11Aが単独に処理する。



【特許請求の範囲】

【請求項 1】 複数のメモリと、この各々のメモリに対してアクセスを行う複数の処理装置、および各々の前記メモリ毎にアクセスを制御する複数のメモリ制御部を含み、複数の前記メモリの内容を常に一致させておくことで前記メモリ内の情報を全ての前記処理装置で共有可能にした情報処理装置において、前記メモリ制御部間で、アクセス要求と、当該アクセス要求のメモリアドレスの受け渡しを行い、それ以外のアドレスに対するアクセスは各々のメモリ制御部が単独で処理することを特徴とするメモリアクセス方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、メモリアクセス技術に関し、特に、複数の処理装置でメモリを共有する構成の情報処理装置に適用して有効な技術に関する。

【0002】

【従来の技術】 複数の処理装置でメモリ内のデータを共有する場合には、共有するデータの、それぞれの装置に対する同一性を保証するため、処理装置からのアクセスに対して排他制御を行う必要がある。しかしながら、この排他制御に伴い発生するアクセス待ちが、各処理装置の処理速度を劣化させ、システム全体の効率を低下させることになる。

【0003】 このようなアクセス待ちを最少にするため、種々の方法が提案されているが、その一方法として、特開昭61-138359号公報に開示される技術では、処理装置毎にメモリを配した上、さらにこれを共有領域と非共有領域に分け、共有領域に対する書き込みのみ排他制御を用いて全メモリに同時に書き込みを行い、それ以外のアクセスはそれぞれ独立して行う方法を提案している。

【0004】

【発明が解決しようとする課題】 このような従来技術の方法は、排他制御を必要とするアクセスを限定することで、アクセス待ちの頻度を減らすことに有効であるが、この場合でも、各処理装置が共有領域にアクセスを行う度にアクセス待ちが発生することになり、システムの大規模化に伴う共有領域の拡大と処理装置の台数の増加によりアクセス待ちの頻度が増加し、特に共有領域の増加に対して効率低下が顕著となる。

【0005】 本発明の目的は、共有メモリとして、各処理装置に対してデータの同一性を保ったまま、アクセス待ちを減らし、特に、共有領域の拡大に対し、アクセス待ちの頻度増加を抑制することが可能なメモリアクセス技術を提供することにある。

【0006】 本発明の他の目的は、一般に共有メモリを使用する際に、各処理装置に必要とされるメモリ占有状態において、その占有領域を最小限に抑え、他の処理装置からのアクセス待ちを減らすことが可能なメモリアク

セス技術を提供することにある。

【0007】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0008】

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0009】 すなわち、本発明は、複数のメモリと、この各々のメモリに対してアクセスを行う複数の処理装置、および各々のメモリ毎にアクセスを制御する複数のメモリ制御部を含み、複数のメモリの内容を常に一致させておくことでメモリ内の情報を全ての処理装置で共有可能にした情報処理装置において、メモリ制御部間で、アクセス要求と、当該アクセス要求のメモリアドレスの受け渡しを行い、それ以外のアドレスに対するアクセスは各々のメモリ制御部が単独で処理するものである。

【0010】 たとえば、複数の処理装置によって共有される前記メモリは、複数のポートを備え、各々のポートからのアクセスが可能なマルチポートメモリを用いることができる。また、前記メモリに対する書き込みおよび占有をアドレス毎に制御することができる。

【0011】

【作用】 上記した本発明のメモリアクセス方式では、メモリとして、たとえば、マルチポートを使用し、これを処理装置毎に配する。このメモリは、複数のポートからの読み書きを同時に実行可能であるが、同一アドレスに対して複数のポートから同時に書き込みを行うとその内容は保証されない。

【0012】 ある処理装置で書き込みまたはメモリの占有要求が発生した場合、それに対応するメモリ制御部は他のメモリ制御部に対して書き込みまたは占有要求とともにそのアドレスを送出する。他のメモリ制御部では、受け取ったアドレスが自らの処理装置から読み書き中又は占有中でなければ、要求許可を要求元へ返す。要求元はこの許可が返るまで待ち、許可を受け取ると、書き込み時は自らのメモリのデータを書き込むと同時に、他のメモリ制御部へそのデータを送り、占有時は、処理装置に対し、占有完了を報告する。要求許可を返した制御部は、要求元からの書き込みデータを待つと共に、要求が無くなるまで、このアドレスに対する自らの処理装置からのアクセス要求を保留する。この時、要求許可したアドレス以外の領域に対するアクセスは全て実行される。

【0013】 これにより、メモリの書き込みに対しては、全てのメモリに常に同時にデータが書き込まれるため、共有メモリとして、全ての処理装置に対するデータの同一性が保証される。また、アクセス待ちは同一アドレスに対する書き込みまたは占有時のみ発生するため、共有領域の拡大により、アクセス待ちの頻度が増加することもない。

【0014】

【実施例】以下、本発明の実施例を図面に基いて詳細に説明する。

【0015】図1は、本発明の一実施例であるメモリアクセス方式が実施される情報処理装置の要部の構成の一例を示すブロック図であり、図2は、その全体構成の一例を示すブロック図である。

【0016】本実施例では、情報処理装置の一例として、外部記憶装置の制御装置に適用した例について説明する。ここでいう外部記憶装置とは、たとえば磁気ディスク装置や磁気テープ装置等のコンピュータ周辺機器を指し、制御装置はこの外部記憶装置を制御する。

【0017】図2に例示されるように、相互に全く等価な構成を有する複数の制御装置1および制御装置2は、記憶装置10と、図示しない上位装置との間に介在している。

【0018】制御装置1は、次の各部分から構成される。ホストインターフェイス3は、上位装置とのインターフェイスを制御する部分で、プロトコル制御の他、データ転送も制御する。デバイスインターフェイス4は、記憶装置10とのインターフェイスを制御する部分で、ホストインターフェイス3と同様、プロトコル制御とデータ転送を制御する。ホストインターフェイス3とデバイスインターフェイス4間は直接データ転送もできるが、キャッシュメモリ5を介して転送することも可能である。キャッシュメモリ5を介する際には、ホスト側のデータ転送とデバイス側のデータ転送は非同期となるため、これらを二つのホストプロセッサ6およびデバイスプロセッサ7がそれぞれ独立して制御する。すなわち、ホストプロセッサ6はホストインターフェイス3を制御し、デバイスプロセッサ7はデバイスインターフェイス4を制御する。

【0019】共有メモリ8は、ホストプロセッサ6とデバイスプロセッサ7が共通して必要とする制御情報を格納する共有メモリで、ホストプロセッサ6およびデバイスプロセッサ7の双方からの書き込みが可能であると同時に、特定のアドレスを一方のプロセッサが占有し、他方からの読み書きを抑止する機能も有する。

【0020】制御装置2は、制御装置1と同一で、その内部は制御装置1と完全に対称の構成を有する。なお、以下の説明では、制御装置2において制御装置1と等価な構成要素には、制御装置1側の構成要素の符号に英大文字“A”を付加することとする。

【0021】制御装置1の共有メモリ8と、制御装置2の共有メモリ8Aは、メモリ間インターフェイス9で接続され、これにより、二つの共有メモリ8および8Aは、論理的に一つの共有メモリとして動作する。即ち、制御装置1の二つのプロセッサと制御装置2の二つのプロセッサからのデータの共有と、いずれか一つのプロセッサからの占有とが可能である。

【0022】次に、図1を用いて二つの共有メモリ8および8Aの動作について説明する。

【0023】図1は、制御装置1および2の各々における共有メモリ8および8Aを抜き出し、その内部構成を示したブロック図である。

【0024】2ポートメモリ12は、二つのポートから独立して読み書きができるメモリで、データは、データバス線17およびデータバス線13により、それぞれのポートに対して入出力される。

【0025】メモリ制御部11は、2ポートメモリ12に対するアクセスを制御する部分で、制御線18および制御線19によって、メモリアドレス、書き込み/読出しの切り替え、書き込みのタイミングをそれぞれポートへ指示する。同時に、メモリ制御部11は、制御線14によってもう一方の制御装置2のメモリ制御部11Aに接続され、それぞれの2ポートメモリ12および2ポートメモリ12Aを合わせて一つのメモリに見せる制御を行う。

【0026】次に、メモリ制御部11を中心とした共有メモリ全体の動作について説明する。

【0027】ホストプロセッサ6（デバイスプロセッサ7）からの共有メモリ8に対するアクセスは、制御線15（制御線16）とデータバス線17によって行う。制御線15（制御線16）には、ホストプロセッサ6（デバイスプロセッサ7）からメモリ制御部11への読み書き要求、占有要求、占有解除要求、およびメモリアドレスと、メモリ制御部11からホストプロセッサ6（デバイスプロセッサ7）への読み書き要求および占有許可が含まれる。

【0028】ホストプロセッサ6は、共有メモリ8から読み出しを行うときは、制御線15により読み出しアドレスと読み出し要求をメモリ制御部11へ送る。メモリ制御部11は、読み出し要求を受け取ると、デバイスプロセッサ7からのアクセス要求がなく、指示されたメモリアドレスが他の部分から占有状態および他方の制御装置2から書き込み中でないことを確認の上、制御線19を用いてメモリアドレスと読み出しを指示したのち、ホストプロセッサ6に対し、読み出し許可を返す。この許可を受け取ったホストプロセッサ6はデータバス線17上の読み出しデータを取り込み、要求を解除する。

【0029】もし、デバイスプロセッサ7からのアクセス要求、指示されたメモリに対する占有状態、または他方のプロセッサからの書き込み要求のいずれかが存在する場合には、ホストプロセッサ6からの読み出し要求は、上記が終了するまで実行保留となる。

【0030】ホストプロセッサ6から共有メモリ8に書き込みを行う場合には、制御線15により、書き込みアドレスと書き込み要求をメモリ制御部11へ送る。メモリ制御部11は、書き込み要求を受け取ると、デバイスプロセッサ7からのアクセス要求がなく、指示されたメ

モリアドレスが他の部分から占有状態または、他方の制御装置2から書き込み中のいずれでもないことを確認の上、制御線14を介して、他方の制御装置2のメモリ制御部11Aへ書き込みアドレスと、書き込み要求を送る。

【0031】他方の制御装置2のメモリ制御部11Aは、同一装置内のホストプロセッサ6Aおよびデバイスプロセッサ7Aから指示されたアドレスへ書き込み要求が無ければ、制御装置1のメモリ制御部11に要求許可を送る。要求許可を受け取った制御装置1側のメモリ制御部11は、制御線19を用いて、2ポートメモリ12にアドレスを指示するとともに、制御線15を介してホストプロセッサ6へ要求許可を送る。この要求許可を受け取ったホストプロセッサ6は、データバス線17へ書き込みデータを送出するとともに、書き込み要求を解除する。メモリ制御部11は、書き込み要求解除直前のデータバス線17のデータを2ポートメモリ12に書き込むように制御するとともに、データバス線13へこのデータを搬送、他方の制御装置2のメモリ制御部11Aへの書き込み要求を解除する。他方の制御装置2のメモリ制御部11Aは、要求解除直前のデータバス線13の内容を、メモリの指示されたアドレスへ書き込む。

【0032】この時、メモリ制御部11において、デバイスプロセッサ7からのアクセス要求、指示されたアドレスに対する他の部分からの占有状態または他方の制御装置2からの書き込み要求のいずれかが存在する場合には、ホストプロセッサ6の書き込み要求は、上記が終了するまで保留となる。

【0033】ホストプロセッサ6が共有メモリ8の占有を行う時には、制御線15により、占有したいアドレスと占有要求をメモリ制御部11へ送る。

【0034】メモリ制御部11は、占有要求を受け取ると、指示されたアドレスが他の部分から占有状態および書き込み中のいずれでもないことを確認の上、他方の制御装置2のメモリ制御部11Aへ制御線14を介し、占有したいアドレスと占有要求を送る。

【0035】他方の制御装置2のメモリ制御部11Aは同一装置内のホストプロセッサ6Aおよびデバイスプロセッサ7Aから読み出し中でなければ、制御装置1のメモリ制御部11へ、占有許可を返すとともに、そのアドレスに対する制御装置1から占有状態として保持する。この占有許可を受け取った制御装置1のメモリ制御部11は、指示されたアドレスがホストプロセッサ6から占有状態であることを保持するとともに、ホストプロセッサ6に対し、制御線15を介して、占有許可を返す。占有許可を受け取ったホストプロセッサ6は占有要求を解除する。

【0036】もし、指示されたアドレスが制御装置1内で占有状態または書き込み中か、制御装置2内で読み出し中のいずれかの時は、占有要求の実行は保留される。

【0037】占有解除を行う時は、ホストプロセッサ6は、制御線15を介し、メモリ制御部11へ占有解除要求を送る。メモリ制御部11は、占有解除要求を受け取ると、ホストプロセッサ6から占有状態にあることと、他の制御装置2のメモリ制御部11Aからのアクセスが無いことを確認の上、他方の制御装置2のメモリ制御部11Aへ制御線14を介して占有解除要求と解除すべきメモリアドレスを送る。

【0038】他方の制御装置2のメモリ制御部11Aは、占有解除要求を受け取ると、制御装置1から該当アドレスが占有状態であることを確認の上、その占有状態を解除するとともに、制御装置1のメモリ制御部11へ占有解除許可を送る。占有許可を受け取ったメモリ制御部11は、ホストプロセッサ6からの占有状態を解除し、制御線15を介して、占有解除許可をホストプロセッサ6に送る。ホストプロセッサ6は、占有解除許可により、占有解除要求を解除する。

【0039】もし、メモリ制御部11が、他方の制御装置2からアクセスを受けている時には、それが終了するまでは、占有解除は保留される。

【0040】以上は、ホストプロセッサ6から共有メモリをアクセスする場合を説明したが、デバイスプロセッサ7からのアクセスや、他方の制御装置2におけるホストプロセッサ6Aおよびデバイスプロセッサ7Aのアクセスについても同様に動作する。

【0041】尚、制御装置1のメモリ制御部11と、制御装置2のメモリ制御部11Aで、それぞれ同時に、相手のメモリ制御部11A(11)に対する要求が発生した場合の競合回避については、時分割に制御する等、既知の手段で実現可能である。

【0042】本実施例によれば、書き込みおよび占有状態が特定アドレスに限定可能なため、その他のアドレスに対するアクセスを自由に行うことができ、共有メモリへのアクセスの競合に伴うアクセス待ちの回数、時間を減らすことが可能となる。

【0043】また、2ポートメモリ12を使用することにより、自制御装置内のメモリアクセスと、接続されている他方の制御装置からのアクセスを独立して制御可能であり、さらなる競合回避が可能である。

【0044】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0045】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0046】本発明のメモリアクセス方式によれば、メモリ制御部間で、アドレス並びにアクセス要求を受け渡すことにより、排他制御を特定のアドレスに限定するこ

とができ、メモリのアクセス待ちを減らすことができ、という効果が得られる。
 【0047】また、メモリとしてマルチポートメモリを用いることにより、さらにアクセス待ちを減らすことができる、という効果が得られる。

【図面の簡単な説明】

【図1】本発明の一実施例であるメモリアクセス方式が実施される情報処理装置の要部の構成の一例を示すブロック図である。

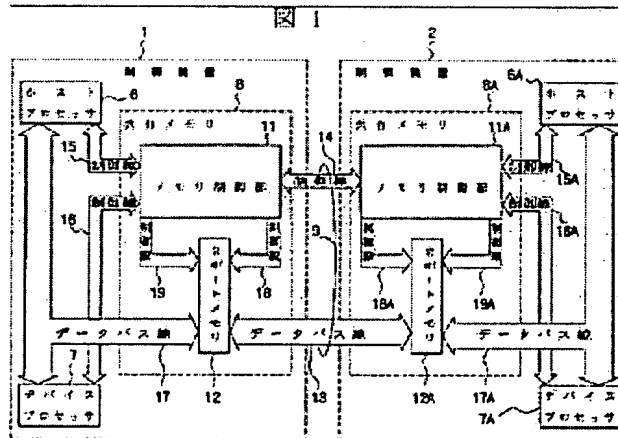
【図2】その全体構成の一例を示すブロック図である。

【符号の説明】

- 1 制御装置
- 2 制御装置
- 3 ホストインターフェイス
- 4 デバイスインターフェイス
- 5 キャッシュメモリ
- 6 ホストプロセッサ
- 6A ホストプロセッサ
- 7 デバイスプロセッサ
- 7A デバイスプロセッサ

- 8 共有メモリ
- 8A 共有メモリ
- 9 メモリ間インターフェイス
- 10 記憶装置
- 11 メモリ制御部
- 11A メモリ制御部
- 12 2ポートメモリ
- 12A 2ポートメモリ
- 13 データバス線
- 14 制御線
- 15 制御線
- 15A 制御線
- 16 制御線
- 16A 制御線
- 17 データバス線
- 17A データバス線
- 18 制御線
- 18A 制御線
- 19 制御線
- 19A 制御線

【図1】



【図2】

